

2025 「中技社AI創意競賽」

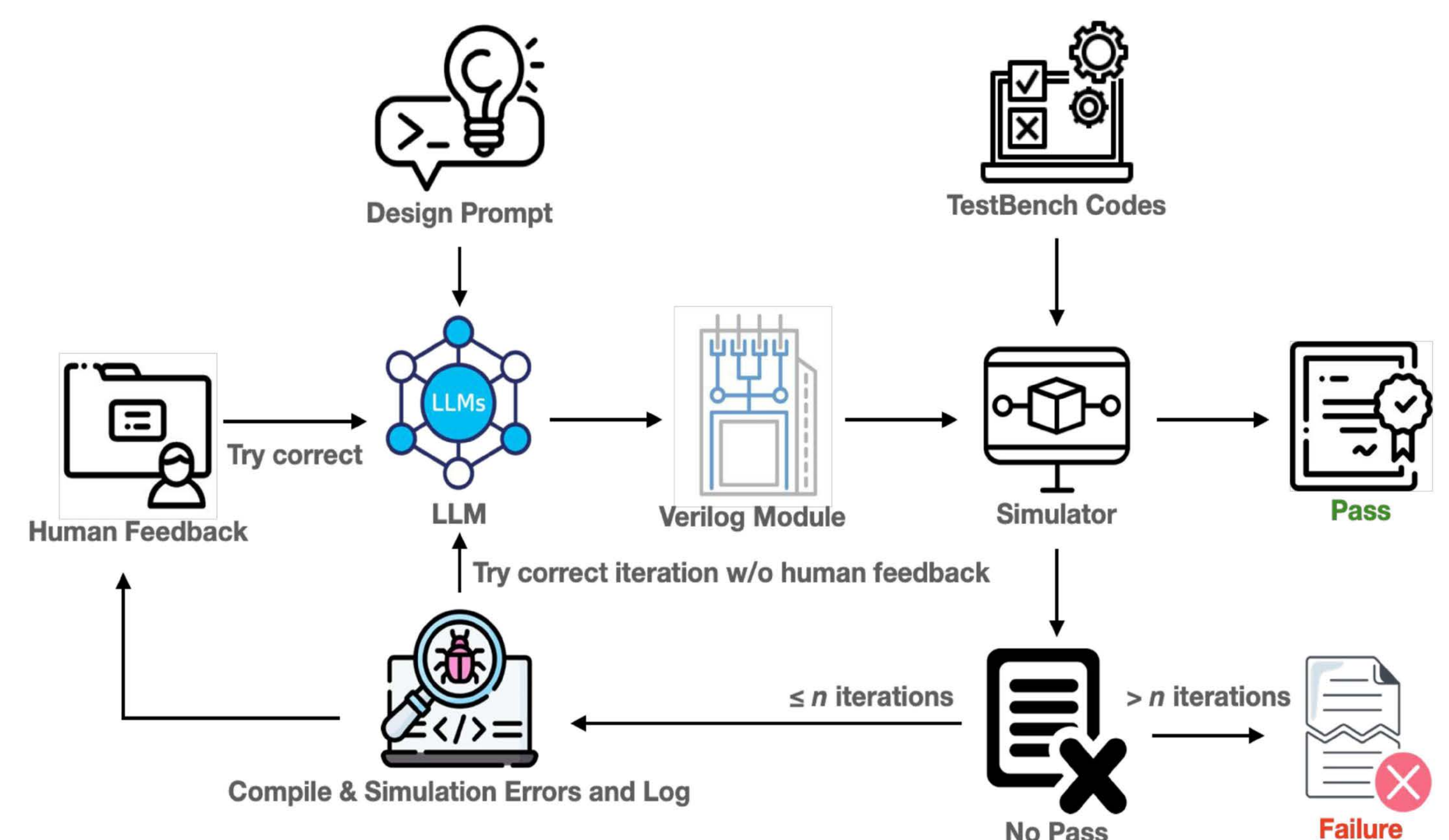
2025 CTCI Foundation AI Innovation Competition

基於 LLMs 的 Verilog 代碼生成系統

姜竑安¹ 胡敦歲² 謝天峻³ 吳泓緯³ 鄭振牟 教授¹ 吳齊人 助理教授³
長庚大學 ¹人工智慧學系 ²電機工程學系 ³資訊工程學系

Introduction

在數位 IC 設計領域中，RTL 的設計和驗證是重要的一環。撰寫硬體描述語言 (HDL) 代碼是一項複雜且耗時的工作，且需要高度的專業。我們透過讓 LLMs 自動迭代生成 Verilog 代碼，結合 EDA 工具進行測試，並且對多達 265 個 Verilog 問題進行分析。在 ChatGPT o1 mini 上，語意正確率提升了 1.5 倍且語法完全正確。說明大語言模型在加速 RTL 設計中的潛力，與此方法可以有效自動修正錯誤代碼的能力。



Innovation and Technology

1. LLM × Verilog simulator × Iterative Refinement

透過「生成 → 模擬 → 回饋 → 再生成」自動化流程，模型根據錯誤訊息自我修正，語法完全正確，語意正確率提升至 93.58% (265 題測試)。核心採用迭代錯誤修正機制，透過回傳關鍵錯誤訊息與前一次錯誤代碼作為 LLM 的輸入提示，讓模型在每次迭代中逐步修正語法與邏輯錯誤。系統整合了 LLMs API、iVerilog、Vivado 等等工具與模擬器。

2. Prompt Engineering & AI Agent & Function Calling

讓 LLM 在系統中扮演不同角色，如「RTL 設計師」、「模擬分析師」、「代碼分析」等，負責不同任務，提升 RTL 代碼生成的正確率與效率。並且使用 Function Calling 功能讓 LLMs 自行主導迭代過程，直到代碼完全正確或到迭代上限。

5. Fine-Tune & Waveform-Guided Debugging

題目與 Testbench 皆經過測試修正並將265題目依難度與類型分類，已完成Llama3.2-3B的微調，將打造更多自有模型，降低 API 成本並提升平台效能。並且首創以波形圖作為輔助輸入，讓模型理解時序行為與邏輯錯誤，使時序電路正確率提升 2.7 倍。

Research & Industrial & Social Contribution

本研究結合 LLMs 與 Verilog 模擬器，旨在 RTL Code Generation，從代碼生成到波形輔助打造完整架構，提升代碼正確率，為 LLMs 在 RTL 領域的應用提供研究基準，並有望解決 RTL 驗證過於繁雜的問題。系統可分析語法、邏輯設計與 Debug 能力，生成分析報告，協助半導體與 IC 設計產業精準篩選與培育人才，降低訓練與招募成本，並可延伸應用於 RTL 驗證與設計流程，縮短研發週期、提升設計效率。教育層面上，平台作為 AI 助教，結合 AI 自動出題與批改，並提供代碼修正建議與波形分析，協助學生學習 RTL，並讓課程內容更貼近產業需求。平台以雲端化與自動化架構運行，推動教育與產業的數位轉型，促進教育公平，朝向綠色、智慧與永續的半導體創新生態邁進。



財團法人 中技社
CTCI FOUNDATION