

Electrical defect analysis of InGaAs and Ge MOS devices passivated by ALD and MBE high- κ dielectrics

原子層沉積(ALD)及分子束磊晶(MBE)成長等高介電係數材料 與砷化銦鎵(InGaAs)及鍺(Ge)等高載子遷移率通道 之介面缺陷電性分析研究

國立清華大學 物理學系 林俊安 博士班五年級
指導老師：郭瑞年 教授



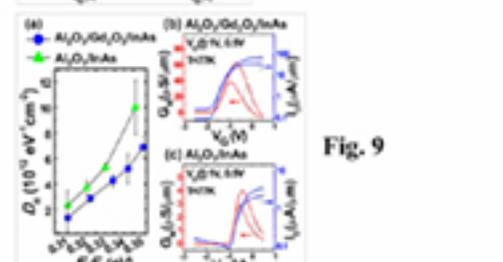
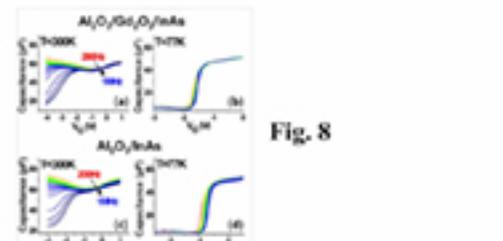
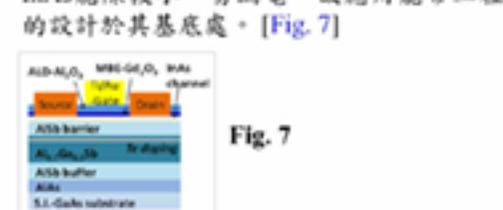
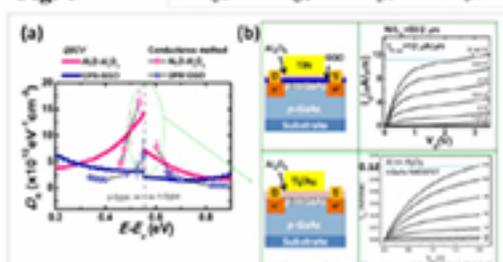
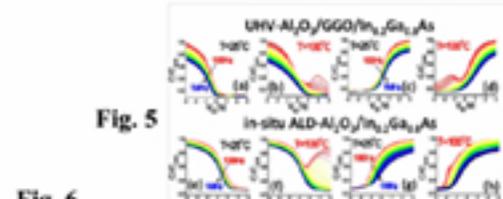
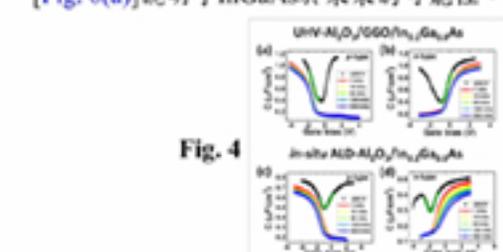
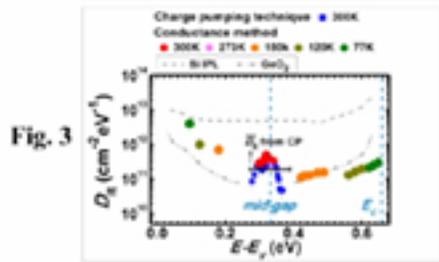
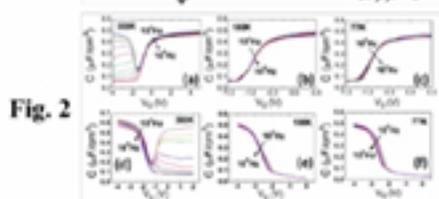
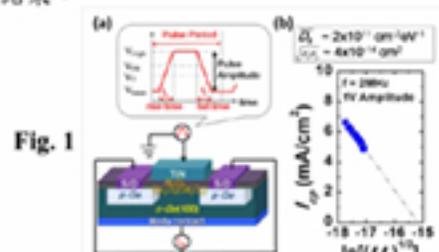
terrybox914@gmail.com

研究重點

- 找尋新穎材料(利用ALD或MBE技術成長高介電係數絕緣層材料於砷化銦鎵或鍺等半導體之上)並整合於現今Si工業，以利邏輯電路於CMOS科技15奈米後的尺寸微縮。並能降低高介電係數材料和半導體的介面缺陷密度，尋求媲美於現今SiO₂/Si介面。
- 利用多種電性量測的方法，如電荷幫浦(charge pumping)的電流分析、准靜態電容電壓量測與計算(quasi-static CV)以及變溫的電導電壓量測分析(conductance method)，有系統地得到一致且合理的介面缺陷能帶密度圖。

研究成果

- 利用電荷幫浦[Fig. 1(a)]及電導電壓[Fig. 2]量測分析直接成長MBE-Ga₂O₃(Gd₂O₃) [GGO]於Ge之上的金氧半元件來得到其介面缺陷密度分布圖[D_{it}(E)]。兩者方式得到的介面缺陷密度值是一致的，都約略在10¹¹ cm⁻²eV⁻¹。更者，分布圖[Fig. 3]不遜色於那些先成長IPL再成長高介電係數材料的結果。
- 於文獻上ALD-Al₂O₃的例子，能隙中出現高峰的分布圖[Fig. 6(a)]直接影響電晶體的工作表現[Fig. 6(b)]。利用准靜態電容電壓量測與計算[Fig. 4]及電導電壓[Fig. 5]量測分析直接成長GGO於In_{0.2}Ga_{0.8}As之上的金氧半元件來得到其介面缺陷密度分布圖。兩者方式得到平坦的介面缺陷密度分布圖[Fig. 6(a)]說明了InGaAs於未來的可能性。
- 當成長GGO薄膜時，Gd₂O₃扮演了與半導體接觸的關鍵層，進而能降低介面缺陷密度。為證明此說法，利用電導電壓[Fig. 8]量測分析直接成長Gd₂O₃於InAs之上的金氧半元件來得到其介面缺陷密度分布圖[Fig. 9(a)]；更者，亦製作InAs場效電晶體利用其工作表現說明之[Fig. 9(a)(b)]，因InAs能隙較小，易漏電，故應用能帶工程的設計於其基底處。[Fig. 7]



研究生活及心得

進研究所念博士班的初衷是想讓自己接受更多的訓練，有勇氣去接受未來更多種種的挑戰，絕不只是為了現實社會上所認可的一張文憑。在研究過程中，不間斷且裸露地問自己：博士訓練應該要有哪些？我想除了要提升自己的專業和知性的能力外，對事物也要有自己的獨到見解和品味。感謝財團法人中技社設置獎學金，為社會做出人才培育及薪火相傳等的貢獻。也很高興我的指導教授(郭瑞年老師)能幫我寫推薦函，為我申請此獎學金提供有利的參考依據。未來也期望自己能為我們所處的社會做出貢獻。